

Switching circuits and matrix device using same.

Patent Number: EP0162969

Publication date: 1985-12-04

Inventor(s): REMMERIE GUIDO PETRUS THEOPHIE

Applicant(s): BELL TELEPHONE MFG (BE); INT STANDARD ELECTRIC CORP (US)

Requested Patent: JP61050195

Application Number: EP19840200778 19840530

Priority Number(s): EP19840200778 19840530

IPC Classification: G09G3/36

EC Classification: G09G3/36C6, G09G3/36C12P, G09G3/36C14P

Equivalents: AU4270385, BE902538

Cited Documents: EP0078402

Abstract

The invention relates to switching circuits and matrix device using same and having the form of a flat panel comprising a control device and a smectic liquid crystal display including pixels arranged in a coordinate matrix of 400 rows and 720 columns. The control device includes several driver units located along the four sides of the rectangular matrix and serially interconnected along each side so as to constitute bidirectional shift registers for serial control data and information. Each driver unit controls 30 odd or 30 even numbered lines (rows or columns) and is able to apply to these lines for a predetermined duration DC voltages equal to either -150 Volts, -30 Volts, 0 Volt, +30 Volts or +150 Volts in function of these data and information.

Data supplied from the esp@cenet database - I2

31/315

AO

⑥ 公開特許公報 (A) 昭61-50195

⑦ Int.Cl.
G 09 G 3/20識別記号 廈内整理番号
7436-5C

⑧公開 昭和61年(1986)3月12日

審査請求 有 発明の数 3 (全22頁)

⑨発明の名称 スイッチング回路およびそれを使用するマトリックス装置

⑩特願 昭60-117630

⑪出願 昭60(1985)5月30日

優先権主張

⑫1984年5月30日⑬ベルギー(BE)⑭84200778.3

⑭発明者

グイド・ペトラス・セ
オフィール・コンスタ
ント・ルメリー
ベルギー国, ピー-2560 ルムスト, アントワーブス・ス

⑮出願人

インターナショナル・
スタンダード・エレクト
リック・コーポレイ
ション
アメリカ合衆国, ニューヨーク州 10022, ニューヨー
ク, パーク・アヴェニュー 320

⑯代理人

弁理士 鈴江 武彦 外2名

明細書

1. 専用の名称

スイッチング回路および
それを使用するマトリックス装置

2. 特許請求の範囲

(1) 本発明はマトリックスおよび回路切换装置を具備し、前記装置はマトリックスは交差点を決定する複数の交差点系列を備え、前記切换装置は前記矩阵マトリックスの異なる列に沿って配置された複数の驱动装置を備え、前記ライン系列の少なくとも一つの別々のラインに結合されたライン出力端子を備え、前記切换装置はまた前記驱动装置には含まれ、この驱动装置に入力は月を供給する如く構成された入力信号端子を備えているマトリックス装置において、

前記各驱动装置はそれぞれ前記ライン出力端子の一つを有し、シフトレックスを形成するように構成された複数の驱动装置と、前記入力は月をこのシフトレックスを通じてシフトさせるシフト操作手段とおよび前記シフトの方向を切替する万向

切替手段とを具備していることを特徴とするマトリックス装置。

(2) 前記ライン系列の一つに対する前記入力端子は月は前記入力信号端子からコネクタ端子を通じて前記マトリックス装置の同じ側に供給されていることを特徴とする特許請求の範囲第1項記載のマトリックス装置。

(3) 前記ライン系列の少なくとも一つの直角に接する二つのラインに結合された前記出力端子はそれぞれ前記矩阵マトリックス装置の別々の列において接続されていることを特徴とする特許請求の範囲第1項記載のマトリックス装置。

(4) 前記マトリックス装置は前記矩阵マトリックスを構成しているスマートチップ装置フラットパネル型表示装置および前記表示装置の周囲に配置されている前記驱动装置を支持するフラットパネルであり、前記表示装置のセルは前記交差点に位置していることを特徴とする特許請求の範囲第1項記載のマトリックス装置。

(5) 前記各驱动装置は、前記万向切换手段によ

り構成されることは各スイッチング回路を備えた記述第1および記述第2の端子並いに第3および記述第4の端子間に相前後に結合されることでできる接続手段を有することを特徴とする特許請求の範囲第1項記載のマトリックス装置。

(6) 前記は各スイッチング回路は、第1並びに第2の端子並いに第3および第4の端子間に相前後に結合されることででき、前記第2の端子並いに記述第4の端子に互いに接続され、端子メモリ回路を通じて相前後に互通状態になるように制御される2つのゲートの共通端子に結合され、その他の端子はそれぞれ前記第1および第3の端子に結合されていることを特徴とする特許請求の範囲第5項記載のマトリックス装置。

(7) 前記各驱动回路により構成されたシフトレジスターは、複数の端子スイッチング回路の接続手段により構成され、このスイッチング回路は前記第1および第2の端子並いに第3および第4の端子間に相前後に結合できることでできる接続手段を有し、前記信号スイッチング回路はその回路の

されたラインの電気的状態を決定する出力信号を前記出力回路が供給することができる前記ライン出力端子を有している場合をせ手段を備えていることを特徴とする特許請求の範囲第6項記載のマトリックス装置。

(11) 前記用合わせ手段は前記入力信号の他のものの組合下に前記入力信号の若干のものをランダムするラッピング手段を備えていることを特徴とする特許請求の範囲第10項記載のマトリックス装置。

(12) 前記スイッチング回路は各入力端子における少なくとも3個の端子の中の一つを共通の出力端子に選択的に結合することができる如く構成され、第1並びに第2の入力端子を前記共通の出力端子に結合する第1並びに第2の回路が、少なくとも1個のDMOSスイッチ装置を具備し、第3の入力端子を前記共通の出力端子に結合する第3の回路が正反対側に結合された2個のDMOSスイッチ装置を具備しており、前記各ライン出力端子は前記共通出力端子であることを特徴とする

前記第3および記述第4の端子が次の回路の第2並びに記述第3の端子にそれぞれ結合された接続手段であることを特徴とする前記各の範囲第1項記載のマトリックス装置。

(8) 前記各驱动装置は複数の端子を有し、それに前記入力信号がそれに供給され、その中の少なくとも一つが前記両方向ラインを介して制御されたインターフェイス回路に結合され前記インターフェイス回路は前記両方向接続手段によって制御されていることを特徴とする特許請求の範囲第7項記載のマトリックス装置。

(9) 前記第4端子を介して並列に接続された複数の驱动装置が少なくとも前記矩阵マトリックスの一方の端に設置していることを特徴とする特許請求の範囲第8項記載のマトリックス装置。

(10) 前記驱动手段は前記端子メモリ回路に結合され、前記入力信号を前記驱动回路に含まれたスイッチング回路を形成している時はなほどの回路の組合のもののものを削除する複数の要素よりなる複数の信号に変換するよう構成され、かつ、結合

する特許請求の範囲第10項記載のマトリックス装置。

(13) 第1並びに第2の端子並いに第3および第4の端子間に相前後に結合できることを特徴とするスイッチング回路において、

前記第2の端子並いに第4の端子は互いに接続され、端子メモリ回路を通じて相前後に互通状態になるように制御される2つのゲートの共通端子に結合され、その他の端子はそれぞれ前記第1並びに第3の端子に結合されていることを特徴とする端子スイッチング回路。

(14) 前記回路は、一つの回路がその回路の第1および第4の端子を次の回路の第2並びに第3の端子にそれぞれ結合されて反復接続を形成していることを特徴とする特許請求の範囲第13項記載の端子スイッチング回路。

(15) 前記駆動の端子並いににおける2つの端子は前記されたインターフェイス回路を通じて両方向ラインには結合されていることを特徴とする特許請求の範囲第14項記載の端子スイッチング回路。

BEST AVAILABLE COPY

特開昭61- 50195(3)

(16) 前記明記されたラインインクーフェイス回路は前記四方向ラインと前記2回の信号の一方との間の信号を再生し、伝送できるようにし、これらのは信号の他方のものとの前記四方向ラインとの間の伝送を阻止する第1の手段と、前記他方の信号と四方向ラインとの間の信号を再生し、伝送できるようにし、前記他方の信号との前記四方向ラインとの間の伝送を阻止する第2の手段とを具備していることを特徴とする特許請求の範囲第15項記載の信号スイッチング回路。

(17) 各入力端子における少なくとも3種の電圧の中の一つを共通の出力端子に選択的に結合することができるスイッチング回路において、

第1および第2の入力信号を前記共通の出力端子に結合する第1および第2の回路が、少なくとも1個のDMOSスイッチ装置を備え、第3の入力信号を前記共通の出力端子に結合する1以上の第3の回路が逆向き並列に結合された2個のDMOSスイッチ装置を備えていることを特徴とするスイッチング回路。

又は、前記符号の3種の要素が第3の入力端子における電圧が前記共通出力端子に供給されるものであるときに阻止されることを特徴とする特許請求の範囲第20項記載のスイッチング回路。

(22) 前記第1および第2の回路が同一であり、前記第3の回路の前記動作手段に第1の相互接続手段を介して結合されているそれらのレベル交換部を備えており、前記第1および第2の回路の動作手段が第2の相互接続手段を介して前記第3の回路のレベル交換部結合されており、前記第3の回路は前記第1および第2の相互接続手段を介して前記第1および第2の回路の動作手段を削除することを特徴とする特許請求の範囲第20項記載のスイッチング回路。

(23) 前記DMOSスイッチは同じ電極型のDMOSトランジスタであり、トランジスタおよび抵抗を用いた前記動作手段は前記抵抗を通じて正電圧の方向にその因縁のゲートキャパシタンスを充電することによって前記は当するDMOSトランジスタをゆっくりとは速状態にすることができ、

(18) 前記各回路がDMOSスイッチ装置と構成してそのDMOSスイッチ装置を開放するとさよりもむしろ信号に開放することでのする動作手段を具備していることを特徴とする特許請求の範囲第17項記載の信号スイッチング回路。

(19) 前記回路が互いに接続され、入力信号により切替され前記回路の別々のものを切り替える3種の要素を有する多段の信号を発生することができる操作手段には合されていることを特徴とする特許請求の範囲第17項記載の信号スイッチング回路。

(20) 前記回路のそれぞれは、前記論理手段と前記動作手段との間に結合された能動装置を備え、前記動作手段と共に前記符号の要素を前記DMOS装置を制御する制御信号に交換するよう構成されているレベル交換部を備えていることを特徴とする特許請求の範囲第18項記載のスイッチング回路。

(21) 前記DMOS装置、前記動作手段、および前記レベル交換部の能動装置を含む特許請求の範囲第18項記載のスイッチング回路。

前記トランジスタのソース・ドレイン端を介してそのゲート電圧に負の電圧を供給することにより前記DMOSトランジスタを急速に阻止することができることを特徴とする特許請求の範囲第18項記載のスイッチング回路。

(24) 前記負の電圧が前記動作手段のそれぞれの前記トランジスタのソース電圧に定期的に供給され、前記第1および第2の回路に含まれた前記トランジスタは前記各レベル交換部および前記第3の回路の前記動作手段によって前記第1の相互接続手段を介して削除され、前記第3の回路の前記トランジスタは前記結合されたレベル交換部によってのみ削除され、前記正の電圧は前記第3の回路に含まれた前記動作手段の前記抵抗の一端に定期的に供給され、前記第1および第2の回路に含まれた前記動作手段の前記抵抗の一端に前記第2の相互接続手段を介してに供給されることを特徴とする特許請求の範囲第22項記載のスイッチング回路。

3. 見解の詳細な説明

【発明の技術分野】

この発明は、並びマトリックスおよび印画機の出力端子を有し、前記並びマトリックスは交差点を決定する複数の交叉ライン系列を備え、前記並びマトリックスは前記並びマトリックスの別々の間に配置された複数の驱动装置を備え、前記ライン系列の少なくとも一つの別々のラインに結合されたライン出力端子を有し、前記驱动装置はまた前記驱动装置に結合され、この驱动装置に入力信号を供給する如く構成された入力信号端子を備えているマトリックス装置に関するものである。

【発明の技術的背景】

そのような装置は、例えば英國特許出願GB 2 120 440 Aによつてすでに知られている。驱动装置は並びマトリックスの反対側にあり、それによつてマトリックスライン間の距離の2倍である接続端子間の間隔が得られる利点がある。しかしながら、それにおいては反対側にあるラインは真なった状態のために使用されている。

【発明の目的】

に信号端子を結合するのに必要なコネクタ端子の数は減少される。一方、これらのシフトレジスタは両方向性のものであるために、それらはマトリックスの同じ側から供給されることができ、驱动装置が四一に作られ、マトリックスの背面に面してこれらのライン出力端子の大部分を配置することができる。そのような驱动装置の別の利点は、チップ上に実装されたとき、出力端子がその4側に配置できることである。

これらの利点は次のような背景から見出すことができる。

驱动装置は、もしもこれらのライン出力端子の大半がマトリックスに面しており、入力信号がこのマトリックスの同一側からシフトレジスタに供給されるように配置されるならば、四一にすることができる。しかしながら、この場合には必要なコネクタ端子の数が増加し、さらに入力信号は反対の側でシフトレジスタを通してシフトされなければならない。四一の驱动装置を使用できるようにする別の方策はこれらの装置の下方にこ

この発明の目的は、上記形態のマトリックス装置であるが、しかし装置の中位段階当たり最大の信号数を有し、最少の信号によっては同一段階には合されることでできる同一の驱动装置を使用することでのできるマトリックス装置を提供することである。

【発明の概要】

この発明によれば、この目的は、前記各驱动装置がそれぞれ前記ライン出力端子の一つを有し、シフトレジスタを形成するように接続された複数の驱动回路と、前記入力信号をこのシフトレジスタを通してシフトさせるシフト制御手段とおよび前記シフトの方向を制御する方向制御手段とを見出していることによつて達成される。

この発明の別の特徴は、前記ライン系列の一つに対する前記入力信号が前記入力信号端子からコネクタ端子を通り前記マトリックス装置の同じ側に供給されていることにある。

マトリックスの同じ側から供給されるシフトレジスタの使用によつて、これらのシフトレジスタ

れらのラインを延長することによつてこのマトリックスの対応するラインにマトリックスの一方の側に配置された驱动装置のライン出力端子を接続することである。しかしながら、この場合には、マトリックスに面するチップの端は端子を有することができず、それ故装置表面段階当たりの全体の端子数は著しく減少する。前記のように驱动装置がチップ上に実装されている場合における表面段階当たりの端子数が大きいことは特に重要であることに留意すべきである。チップの寸法を増加することによつてこの数を増加させることは可能であるが、これはチップが設置されるパッケージの大きさによつて制限される。さらに吸収的抵抗を良好にするためにできるだけ正方形のチップが好ましい。

四一の驱动装置を使用する代わりに複数驱动装置を使用することが可能である。四一形態の驱动装置はすつと改良な設計を有するけれども、複数対称が存在するために部分的に共通の設計により利点があつても2個の別々のチップよりも安価に製作され、テストされ、実装されることができる。

この発明はまた第1および第2の電子回路は第3および第4の電子回路の切換された相対性は合を可能にするスイッチング回路に関する。

そのようなスイッチング回路は従来知られており、一般に2回の組合のそれそれとして使用される2回の相対的の切換されたスイッチまたはゲートによって実現される。

この発明の別の目的は、上記形式であるが、第1および第2のは子回路は第3および第4の電子回路で伝送されるべき信号を記述させることができて、しかも特に図示な構成を残したスイッチング回路を提供することである。

この発明によれば、この目的は、前記第2の電子回路が互いに接続され、信号メモリ回路を通して相対的に導通状態になるように制御される2回のゲートの共通端子に結合され、その他方の端子がそれぞれ前記第1および第3の電子回路に結合されることによって達成される。

このようにして、スイッチング回路は上記と記述し、上記共通端子を有する2回の相対的に

によって達成される。

スイッチ装置としてDMOSトランジスタのソース・ドレイン端を使用することは、それらが上記300ボルトのような比較的高い電圧に耐えることができるために選択している。しかしながら、そのようなDMOSトランジスタはそのソース・ドレイン端を分離する寄生ダイオードを有している。もしも、第1の入力端子における電圧が3回の中で最も高いものであれば、第1の回路のDMOSトランジスタはそのときバイアスされ、そのためその寄生ダイオードは常に阻止され、このトランジスタの開放または閉成状態に影響はない。その代わりに、もしも、第2の入力端子における電圧が3回の中で最も低いものであれば、第2の回路のDMOSトランジスタもまたバイアスされ、そのためその寄生ダイオードは常に阻止され、例えば一つの回路のDMOSトランジスタのソースが他の回路のDMOSトランジスタのドレインと共に共通出力端子に接続される。

他の二つの回路を有する第3の入力端子にお

いては、切換されるゲートにより形成されたたび一つの電子切替装置の使用、および2回の組合による切替回路の共通の使用により非常に簡単な構造である。

この発明はさらに各入力端子における少なくとも3回の電圧の中の一つを共通の出力端子に導入的には合することでのさるスイッチング回路に関する。

この発明のさらに別の目的は、このような多回路スイッチング入力回路により、これらの入力端子の一つと共通出力端子との間の接続を実現し、一方これらに入力端子に供給された電圧回路の回路を、特に電子回路の電圧が比較的高い、例えば300ボルトであるときに適用することである。

この目的は、第1および第2の入力端子をそれぞれ前記共通の出力端子に結合する第1および第2の回路が、少なくとも1回のDMOSスイッチ装置を備えし、第3の入力端子を前記共通の出力端子に結合する第3の回路が逆向き並列に接続された2回のDMOSスイッチ装置を備えること

によって達成される。

スイッチ装置としてDMOSトランジスタのソース・ドレイン端を使用することは、それらが上記300ボルトのような比較的高い電圧に耐えることができるために選択している。しかし、その寄生ダイオードが逆方向並列に接続されている2回のDMOSトランジスタはこの第3の回路に対する回路を解決する。

上述の、およびその他のこの発明の目的および構造は次用意を參照にした以下の実施例の説明によりさらに明確に理解されるであろう。

【発明の実施例】

第1図に示されたマトリックスすなわちフラットパネル表示装置FPDは液晶表示装置LCDおよびこの表示装置の周囲に配置された制御回路を備えている。液晶表示装置LCDは図で太い線で示された、それぞれマトリックスの行および列を構成している透明なストライプはそれを区別した2枚のガラス板の間にサンドwich状に挟まれたスマートチップ液晶の層を具備している。2枚のそのような互反な行および別ストライプの

交互区段は1行の表示装置サウカから12行を表示しており、表示装置は400行および720列に記入された288000個のそのような12行を有している。これはそれぞれ9列、16行によりそれぞれ決定されたアルファベットや数字の2000字を表示するのに充分である。

この表示装置で使用されているスマートチック液晶の主な利点はその表示の状態を迅速に変化できることである。透明状態はクリアにする動作の結果であり、不透明状態は表示動作の結果である。不透明状態から透明状態へ、互いはその反対への結果の状態の変化は対応する交互区段における行および列ストライプに供給される駆動信号から直接導出されることができる。放電波形（不透明状態を生成する）は行に50Hzと信号の1サイクル時間、すなわち20ミリ秒を必要とする。クリア波形（透明状態を生成する）は1.5kHzと信号の3サイクル時間、すなわち2ミリ秒を必要とする。追加のサイクルは特に顕著な影響を有しない。スマートチック液晶材料の別の重要な特性はその電圧

しきい値である。すなわち、それは電圧の多少の少レベルに達するまでは状態を変化させない。このレベルが特定のセルにおいて駆動されたときその結果は供給された周波数によって示された状態を取る。しきい値の近くでは電圧は段階的に高くなるを示す。しかしながら、付近電圧が増加すると高さ時間は減少する。

不平均な駆動信号は行または列ストライプの運動に使用してはならない。何故ならば液晶材料に長時間供給されるDC成分はその特性および寿命に悪影響を及ぼすからである。それ故全てのこれらの駆動波形はよく平均されなければならぬ。すなわち、その正および負の電圧および周波数を等しくなければならない。

行中の全ての結果の可視性を制御するために、まず、この行全長が全ての可視領域を実効的に消去するように放電状態にされ、その後新しい情報を見示すために選択された結果がクリア（透明）にされ、一方その行の残りの結果はその放電状態のまま残る。これは、放電波形が少なくとも一つ

の行において行われ、一方クリア動作は常に一時に1行づつ行われることを意味している。しかしながら、その1行において特定の個々の結果だけがクリアにされるようによく選択される。

放電波形は第2図に示されている。波形の放電はピーク対ピークで600ボルトの正相を有する50Hzの方形波PSCの1サイクルをそれに差動的に供給することによって行われる。二つのモードが放電に使用される。最初のモードによれば、全バネルが放電状態にされる。これはそれぞれ1サイクル中全列ストライプおよび全行ストライプに位相が反対の方形波CSCおよびRSCを供給することによって行われる。これらの波形は300ボルトのピーク対ピーク電圧を有する。さらに詳しく説明すると、最初の半サイクル中+150ボルトの電圧(CSC)が全ての列ストライプに供給され、一方-150ボルトの電圧(RSC)が表示装置の全ての行ストライプに供給される。その結果生じた電圧は300ボルトの電圧を有する(PSC)。第2の半サイクル中全ての列ストライプに

供給される電圧(CSC)は-150ボルトに変化し、一方全ての行ストライプに供給される電圧(RSC)は+150ボルトに変化する。これは列ストライプに300ボルトの下向きの電圧ステップを生じ、行ストライプに300ボルトの上向きの電圧ステップを生じる。したがって各結果には600ボルトの所要の差電圧ステップが得られる。これは全ての結果を放電の状態にする。

第2の放電モードによれば、選択された行だけが放電状態にされる。この場合には、電圧波形CSCは全ての列に供給され、一方CSCに対して反対位相である電圧波形RSCは放電されるべき行ストライプだけに供給される。RSCと組合せ時にある方形電圧波RNSCが他の行ストライプに供給される。したがってこれら最後に挙げた行の結果に与えられる差電圧PNSCはゼロであり、したがってそこでは放電は生じない。

クリア波形は、個々の結果を初期しそれによつて可視位相を表示するために使用される。この動作は、前に放電状態に設定された同一の行の選択

BEST AVAILABLE COPY

1) 国4551-50105(7)

された場合は行について行われ、300ボルトのピーク対ピーク電圧（第3回参照）を有する1.5

kHzの万能電圧は月PCLの3サイクルのを最初に供給よりなる。立待的電圧の生成について以下説明する。

同一の選択された行ストライプに対してSTROBE（第3回）と呼ばれる万能“行電圧”信号の3サイクルが供給され、他の全ての行ストライプは接続端子に接続される。信号STROBEは300ボルトのピーク対ピーク電圧を有する。全ての別ストライプに対して信号STROBEと同じ周波数を有する別の万能“別称は”信号CNCまたはCC（それぞれ60ボルトのピーク対ピーク電圧）が全クリア動作用箇中供給される。信号STROBEに対して信号CNCは同じ位相であり、信号CCは反対位相である。これらの波形は第3回に示されている。信号CCは信号がクリアされるべき別ストライプに供給され、一方信号CNCは信号が既存状態のまま残される別ストライプに供給される。

もない信号

第1の場合に対しては、同じ列において信号は別ストライプの信号CCおよびテストライプの接続電圧を与えられる。これはその結果として差信号（ピーク対ピーク60ボルト）を生じ、それは信号CCと同一であり、信号にその以前の状態に影響を及ぼすことなく反転電圧供給ができる。

第2の場合に対しては、同じ行において信号は別ストライプの信号CNCおよび行ストライプの信号STROBEを与えられる。この組合せはピーク対ピーク 210ボルト差電圧PNCL（第3回参照）をこれらの信号の両端に生じる。この差電圧PNCLは長い時間以上に保持されることなく、各行に供給される時間は3サイクル（2ミリ秒）以下であるから、これらの信号の状態は影響を受けない。

第3の場合には信号は行においても列においてもクリアにされておらず、信号CNCは別ストライプに供給され、一方行ストライプは信号端子に

信号STROBEおよび信号CCが信号に供給されるとさ、これらのは信号は加算され、信号は自動的に所要のクリアは月PCLを得る。したがつて、その信号は3サイクル中にクリアにされる。このレベルは月PCLは各行端子に一時に1行づつ、3サイクルの時間だけ供給される。

クリア動作において、送信符号の電圧しきい値符号ならびに供給された信号の保持時間は任意でなく考慮されなければならない。またに選択された信号だけに適切にアクセスするために、それ以外にクリアにされない他の信号に供給される放電電圧を検討することが必要である。信号がクリアにされなければならない3回の状態について検討されなければならない。

これらは、

1) アドレスされた信号として同じ列にある信号

2) アドレスされた信号として同じ行にあるが、クリアにされるべきではない信号

3) アドレスされた信号と同じ列にも同じ行に

ある。これは信号の両端にCNCに寄しい差電圧を発生し、それはその前の状態に影響を及ぼすことなく信号に対して長期間供給することができる。

前記周波数（50Hz および 1.5 kHz）は平均的であることに注意する必要がある。また、音度感知手段（図示せず）が表示装置に設けられ、送信の音度の閾値として上記周波数を調整する。典型的にはこれらの周波数は“クリア”および“放電”に対してそれぞれ 8.3 乃至 50Hz および 1 乃至 2 kHz である。

再び第1回を参照すると、前記制御回路は送信の起動信号FPDRを貰え、それらの各起動信号APDRはそれぞれ行および別ストライプに結合され30のストライプを起動している。各起動信号FPDRは單一チップとして構成され、その各起動信号は上記信号CSC, CC, CNCまたはRSC, RNSC, STROBEをそれぞれ関係する行および別ストライプに供給することができる。これらの信号の正と負の部分はの切替えは、立上

がりがよび下がり時刻にさしい時間で生じ、それは30マイクロ秒以下である。行および列の選択装置が動作されるとと、対応するストライプの交差点における活性は不透明または透明状態にされ、それは列状態を反転するように励起されるまでそのままである。

選択装置FPDRは表示装置LCDの両端に沿って配置され、LCDの1端に沿って配置されたものはその両端で終わる段数または奇数奇偶のストライプのいずれかを制御し、一方反対側に設けられた選択装置は他のパリティのストライプを制御する。上記のように各選択装置FPDRは30のストライプを制御することができ、720の列ストライプがあるから、12個の選択装置FPDRはLCDの上端および下端に沿って配置されている。同様に、400の行ストライプがあるから、7回の選択装置FPDRがこの表示装置LCDの左端および右端に沿って配置されている。表示装置LCDのそれぞれの両端に沿って選択装置FPDRは接続接続されており、それ故に別の別データ5

より前回信号はこれらの段階段を経てシフトされることができる。フラットパネル表示装置FPDRはさらにそれぞれFPDRの2型の構造する列並に沿って位置している2組のコネクタ端子を有するだけであり、選択装置FPDRは全て同一であり、開発するストライプに接続され、これらのストライプの方向に設けられた出力端子を有している。これらの理由で、上記別の別データおよび奇偶は偶は表示装置LCDの一端に沿って配置された選択装置FPDR中を一方向にシフトされなければならない。一方、表示装置LCDの反対端に沿って配置された選択装置FPDR中では反対方向にシフトされなければならない。シフトの方向はシフト方向信号LC、RC、LRおよびRRにより選択装置FPDRの段接続中で制御され、それらのシフト方向信号は、列の上端、列の下端、行の左端および行の右端においてそれぞれ段接続の選択装置FPDRに供給される。列ストライプに供給された別別データ信号は列クロック信号CLKC、別周波数信号FREQC、

別走エキープル信号ENRおよび別選択信号SELCである。別の上端に沿って配置された選択装置FPDRはこれらの別の下端に沿って配置された選択装置FPDRと異なるストライプに接続されているから、追加の別別信号DATA LRおよびDATA RRがそれぞれ2個の選択装置FPDRの段接続に供給される。さらに詳細に説明するように、前述の別別データ信号はまた同じくこの別別信号は別DATA LCおよびDATA RCが表示装置LCDの別ストライプに供給された前述の信号CSC、CC、CNCを発生するためには使用される。別ストライプに供給されるものと同様な別別データおよび別別信号はまた行ストライプにも供給される。これらの別別データは行クロック信号CLKR、行周波数信号FREQR、別走エキープル信号ENRおよび行選択信号SELRTである。別の場合と同様に、追加の別別信号は別DATA LRおよびDATA RRが前の別別データ信号と共に使用され、表示装置LCDの行ストライプに供給される前述

のは信号RSC、RNSCおよびSTROBEを発生させる。

選択装置FPDRは第4図に詳細に示されている。それは端子D、端子11～15および01～05および30の出力端子OUT 1～30を有し、10個のインターフェイス回路IC1～10、クロック回路CKC、方向制御回路RLC、30個の論理装置LD 1～30および30個の高い電圧端子VD 1～30を有している。端子Dは万能切換回路RLCを通じて内部バスRBおよびLBに結合され、それは全てのインターフェイス回路IC1～10の入力DA、DBならびに全ての論理装置LD 1～30の入力RB、LBを制御する。端子I 1およびO 1はそれぞれIC 1およびIC 6を介してLD 1の端子AI、BOおよびLD 30の端子AO、BIに接続され、端子I 2、O 2: I 3、O 3: I 4、O 4: I 5、O 5はそれぞれIC 2、IC 7: IC 3、IC 8: IC 4、IC 9: IC 5、IC 10を介して内部バスSS、FB、EBおよびCKBに接続されている。バスSS、

BEST AVAILABLE COPY

特開昭61- 50195(9)

FB, EBはまた論理記号 I~30の同じ記号を付された端子に接続され、バスCKBはクロック回路CKCの入力に接続され、そのクロック回路CKCの4つの出力は論理記号 I~30の対応する入力端子に接続されている。論理記号 LD I~30はそれぞれ3つの出力端子 IN 1乃至 IN 3を有し、それらの端子はそれぞれ出力 OUT 1~30を経たHVD 1~30の同じ記号を付された入力端子に接続されている。これらの出力はそれぞれ表示装置LCDの行または列ストライプに接続されている。

RLCの最初端子Dは方向を示している前記方向記号 L C, R C, L R, または R Rの一つを受けるように構成され、それにおいて、直列記号は以下に説明するように駆動信号FPDR中へシフト(右または左)されなければならない。そのような記号に応じて、そのときRLCは2つの相邻端子RおよびLを出し、それらの記号はそれぞれバスRBおよびLBに與えられてシフト方向のFPDRの他の回路を報告する。“右にシフト”

されている。この回路RLCはFPDRの同じ記号の端子Dに対する入力端子Dおよび出力端子RおよびLを備え、入力端子Dに接続された抵抗R1および出力端子Lに接続されたインバータINV1を備えている。インバータINV1の入力にはまた2つのクランプダイオードD1およびD2が接続され、そのダイオードの直列抵抗の両端は電源端子VDD(+12ボルト)および接地端子GNDにそれぞれ接続されている。さらに、抵抗R2と出力端子RもまたインバータINV1の入力に接続されている。抵抗R2の他端はVDDに接続されている。入力端子Dは定期的に接地端子GNDに接続されるか、あるいは左端が開放されている。抵抗R1は、もし必要な電圧、例えば昇電圧が入力端子Dに与えられたときクランプダイオードD1および、またはD2を通って流れれる可能性のある電流を制限する。入力端子Dがアースされているとき、出力端子RおよびLはそれぞれ論理記号0および1にある。反対に入力端子Dが開放のとき、出力端子Rは電源VDDおよび抵抗R2に

接続する付与された方向記号が端子Dに供給されたとき、および適切な直列記号DATA C, DATA RC, DATA LRまたはDATA RRが先行するFPDRから端子I1に供給されたとき、この情報記号はインターフェイス回路IC1に直列接続を介して端子O1に、その出力端子OUT1に接続)へ、前記方向記号LD 1~30へおよびその入力端子INIを介してインターフェイス回路IC6に伝送される。端子O1から該記号は次のFPDRへ伝送される。左へのシフトに対しては、直列記号によって因ほな過渡が取られるが、そのときFPDRの入力端子はO1であり、出力端子はI1であり、該記号はIC6の出力端子OUT1およびIC1の入力端子INIを通って伝送される。FPDRの他のインターフェイス回路IC2~5およびIC7~10のそれぞれに対しては入力および出力端子INIおよびOUT1は逆にされてそれぞれバスSB, FB, EBおよびCKBに接続される。

第5図を参照すると、方向切替回路が詳細に示

されており、論理記号1に引上げられ、一方出力端子IはそのときOである。出力端子Rにおける論理記号1は右へのシフトを示し、一方出力端子Lにおける論理記号1は左へのシフトを示す。これらの記号はすでに前に説明したように対応する内部バスRBおよびLBを介して駆動信号FPDRの他の回路に供給される。

第6図はクロック回路CKCを示し、それは同じ記号の内部クロックバスCKBに接続された入力端子CKBおよび同じ記号のクロック記号をそれぞれ出力する出力端子φ1, φ1, φ2, φ2を有している。クロック回路CKCはノアゲートNOR1およびノアゲートNOR2を備え、ノアゲートNOR1は入力が端子CKBおよびφ1に接続され、ノアゲートNOR2は入力が端子φ2およびインバータINV2を介してCKBに接続されている。ノアゲートNOR1の出力はインバータINV3およびINV4の直列接続を介してφ2に; およびインバータINV5乃至INV7の直列接続を介してφ2に接続されている。ノアゲートNOR2の出力はインバータINV6およびINV7の直列接続を介してφ1に接続されている。

アゲート NOR 2 の出力はインバータ INV 8 および INV 9 の直列接続を介してゆくに、およびインバータ INV 10 乃至 INV 12 の直列接続を介して下に接続されている。

第 7 図は入力クロックは母 CKB を示し、それは前記のように別クロックは母 CLKC または行クロックは母 CLKR のいずれかである。図にはまた出力クロックは母 0.1, 0.2, 0.2 が示されている。入力クロックは母 CKB は入力端子 1 または 05、対応するインターフェイス回路 IC5 または IC10 および内部クロックバス CLKB を介してクロック回路 CKC の同じ名前の端子 CKB に供給された方形波である。出力は母 0.1, 0.2 はそれぞれ 0.1, 0.2 の相反である。CKC のインバータの接続接続により、母 0.1, 0.2 は正の部分が負の部分より長い方形波であり、母 0.1 の正の部分は母 0.2 の負の部分の中央であり、反対に母 0.2 の正の部分は母 0.1 の負の部分の中央である。

上記インターフェイス回路 IC 1~10 の一つが

3 および NAND ゲート NAND1 の他方の入力に接続されている。母子 BP はまた別の NAND ゲート NAND2 の入力および別のノアゲート NOR4 の入力に接続されている。NAND2 およびノアゲート NOR4 の他方の入力はそれぞれ初期端子 DA および DB に接続され、一方、これらのゲート NAND2 および NOR4 の出力はそれぞれ MOS ランジスタ PM2 および NM2 のゲート電極に接続されている。PM2 および NM2 の場合のように PM2 のソース・ドレイン端子は NM2 のドレイン・ソース端子と直列に接続され、PM2 のソース電極は電源端子 VDD に接続され、NM2 のソース電極は接地されている。さうに出力端子 OUT1 は PM2 と NM2 の接続点に接続されている。

もしも、データが母子 BP から出力端子 OUT1 にシフトされなければならなければ、論理 1 が IC の初期端子 DA に供給され、論理 0 が初期端子 DB に供給されなければならぬ。これはインターフェイス回路 IC 1~5 に対しては右

第 8 図に IC として示されている。それは端子 1~5 または 0~5 に接続された接続パッド端子 BP、入力および出力端子 IN および OUT 1 および初期端子 DA および DB を含めている。端子 DA および DB は内部バス RB および SH を介して方向切替回路 RLC によって切替される。回路 IC はまた電源端子 VDD (12 ベルト) および接地端子 0V を有している。端子 BP は MOS ランジスタ PM1 および NM1 のソース・ドレイン端子およびドレイン・ソース端子の直列接続の接続点に接続され、PM1 のソース電極は電源端子 VDD に接続され、NM1 のソース電極は接地されている。これらのトランジスタ PM1 および NM1 のゲート電極はそれぞれノアゲート NOR3 の出力および NAND ゲート NAND1 の出力にそれぞれインバータ INV13 および INV14 を介して接続されている。NOR3 の 1 入力は初期端子 DA に接続され、NAND1 の 1 入力は初期端子 DB に接続されている。一方入力端子 IN1 はインバータ INV15 を介してノアゲート NOR

へのシフト (R=1, L=0) に対応し、IC 5 ~10 に対しては左へのシフト (R=0, L=1) に対応する。上の状況 (DA=1, DB=0) においては論理 1 が常に NOR3 の 1 入力に供給され、一方論理 0 が常に NAND1 の 1 入力に供給される。これは、NOR3 および NAND1 の出力がそれぞれ 0 および 1 であり、それ故論理 1 がトランジスタ PM1 のゲート電極に供給され、論理 0 がトランジスタ NM1 のゲート電極に供給されることを意味している。これらのトランジスタ PM1 および NM1 はそのとき両者共に阻止され、入力端子 IN1 は母子 BP から遮断される。さらに、上と同じ条件では母子 BP に供給された論理 1 は NAND2 および NOR4 の出力に論理 0 を生じ、それ故トランジスタ PM2 が導通し、トランジスタ NM2 が阻止される。これは出力端子 OUT1 に電圧電圧 VDD に対応する論理 1 を発生する。反対に、母子 BP に供給された論理 0 は NAND2 および NOR4 の出力に論理 1 を発生し、それ故トランジスタ PM2

BEST AVAILABLE COPY

11月6日- 50195(11)

は阻止され、トランジスタ NM2 は導通し、それは出力端子 OUT1 に与えられる論理値 0、すなわち論理高電位を発生する。両端子の動作は論理値 0 および 1 が初期端子 DA, DB にそれぞれ供給されたときに生じる。トランジスタ PM1 および NM2 はそのとき両者共に阻止され、それ故出力端子 OUT1 は端子 BP から断続され、入力端子 IN1 に供給された論理値は端子 BP に同一の論理値を発生する。MOSトランジスタ PM1, NM1 および PM2, NM2 によってこのインターフェイス回路の端子 BP または IN1 に供給された入力は端子出力において再成形される。

さらに、大西様の接続パッドおよび接続線によって大きなキャパシタンスが端子 BP とアースリ V との間に生じる（図示せず）。このキャパシタンスはそれぞれ MOSトランジスタ PM1 および NM1 の出力抵抗（図示せず）を経て元放電される。このキャパシタンスの効果を特に石川波において減少させるために、上記の出力抵抗は最小にしなければならない。そのようにするために、

ンス（図示せず）に結合された出力抵抗（図示せず）はそれぞれ論理ゲート NAND2 および NOR4 において最小であり、それ故インターフェイス回路 IC のこの部分にはインバータは使用されない。

第4図の論理装置 LD 1~10の一つが第9図に LD として示されている。これはそれぞれ複数接続 FPDTR の同じ名前の内部バスに接続された初期端子 L8, R8, FB および SB を有し、以下説明するように論理装置 HVD の同じ名前の入力端子にそれぞれ接続された出力端子 IN1, IN2 および IN3 をそれぞれ與えている。論理装置 LD はまた同じ名前のクロック信号を伝送する端子 φ2, φ2 および φ1, φ1 を介してクロック回路 CKC に接続されている。上述のように複数接続 FPDTR の 10 個の論理装置 LD 1~10 は順次に接続され、各論理装置 LD は端子 A1, B0 および A0, B1 を有し、その中の端子 A1 および B0 はそれぞれ次の論理装置 LD の端子 A0 および B1 に接続されている。論理装置 LD は

MOSトランジスタ PM1 および NM1 の大きさは増加され、そのはこれらトランジスタのゲートキャパシタンスもまた増加する。上記と同じ理由のために、これらのゲートに接続されたトランジスタの出力抵抗（図示せず）が減少されなければならない。インバータ回路は論理ゲート（NAND または NOR）よりもトランジスタが少ないので、インバータ回路で出力抵抗を小さくすることは容易である。それ故、小さい出力抵抗を有するインバータ INV13 および INV14 が論理ゲート NOR3 および NAND1 の出力と MOSトランジスタ PM1 および NM1 のゲートとの間にそれぞれ配置される。インターフェイス回路 IC の反対側でもキャパシタンス（図示せず）が端子 OUT1 とアース母線リ V との間に生じる。しかしながら、このキャパシタンスは端子 BP におけるものよりも小さい值を有する。それ故 MOSトランジスタ PM2 および NM2 は MOSトランジスタ PM1 および NM1 よりも小さく、トランジスタ PM2 および NM2 のゲートキャパシタ

それぞれ NMOSトランジスタ 5 および PMOSトランジスタ（そのゲート電極上に小さな円を付して示されている）により構成された逆置ゲート PG1~PG7 を備えており、これらのトランジスタのソースおよびドレイン電極は相互に接続され、そのゲート電極は以下説明するように相前方向信月によって制御される。

論理装置 LD の端子 A1 は、初期端子 L8 および R8 に供給された相前方向信月によりそれぞれ制御された 2 個の逆方向並列接続の逆置ゲート PG1 および PG2 を介してこの同じ論理装置 LD の端子 B1 に接続されている。これらの逆置ゲート PG1 および PG2 の接続点は相前クロック信月 φ1 および φ1 により切替された逆置ゲート PG3、インバータ INV16、相前クロック信月 φ2 および φ2 により切替された逆置ゲート PG4 および別のインバータ INV17 を通って論理装置 LD の初期端子 B0 および A0 に接続されている。さらにインバータ INV18 はその入力がインバータ INV16 の出力に接続され、その出力はク

ロック信号や2端子より構成された通過ゲートPG5を経てインバータINV16の入力に供給されている。通過ゲートPG3の出力はまたそれ自身は子IN3を介して直結およびインバータINV19を介してそれに供給された相補信号により翻訳された通過ゲートPG6を介して NANDゲートNAND3の1入力に接続されている。通過ゲートPG6の出力はまたインバータINV20の入力に接続され、そのインバータINV20はインバータINV21と並列に接続されて通過ゲートPG7の出力に接続され、通過ゲートPG7の出力はインバータINV21の出力に接続され、それは通過ゲートPG7のそれと相補型の初期信号により翻訳される。通過ゲートPG6の出力でもあるNAND3の上記入力および初期端子FBは麻板的ノアゲートXNRの2端の入力である。麻板的ノアゲートXNRの出力は直接ANDゲートAND1の1入力に接続されると共にインバータINV22を介して別のANDゲートAND2の1入力に接続されている。ANDゲートAND1、AND2の双方の入力は共にANDゲートAND3の出力を反映している出力端子IN1に供給されている。ANDゲートAND3の2端の入力はNAND3の出力およびINV19の出力であり、一方、NAND3の第2の入力は初期端子SBに接続されている。出力端子IN1はAND2の出力端子により翻訳され、出力端子IN2はAND1の出力端子により翻訳されている。

初期端子RBに供給された論理信号は、すなわち右ヘシフトの動作の場合において、したがつて論理端子0が初期端子LBに供給されている場合においては、通過ゲートPG1を通じ、PG2を経く。論理端子LDの前記並列初期信号DATA L C、DARARC、DATA LRまたはDATA RRに対する入力端子はそのときA1であり、出力端子はAOである。この場合に、最初段階FP DR(第4図)の入力端子はI-1であり、その出力端子はO-1であり、それ故I-1に供給された並列初期信号はインターフェイス回路INV1、その出力端子OUT1、LD1の端子A1ないしLD

30の端子AO、入力IC6の入力端子IN1およびインターフェイス回路IC6自身を通してO1に伝送される。反対に、論理端子0が初期端子LBに供給されたとき、すなわち左ヘシフトの動作の場合においては、したがつて論理端子R Bに供給されているときには、通過ゲートPG1が開き、PG2が閉じる。論理端子LDの前記並列初期信号に対する入力端子はそのときB1であり、対応する出力端子はBOである。前記と同様に、最初段階FP DRに対して初期信号は、IC6およびIC1を通して伝送されるが、入力端子は今度はO1であり、出力端子はI-1である。IC6およびIC1においてこの信号はそれぞれ出力端子OUT1および入力端子IN1を通して伝送される。次元のように右へのシフト動作の場合(RB-1, LB-0)には、通過ゲートPG1が閉じ、PG2が開く。それ故入力端子B1には供給された初期信号は端子BOに対してさらに論理端子LD中へ伝送されることはできない。反対に入力端子A1に供給された初期信号は端子AO

に伝送される。次々それはまずクロック信号Φ1の正パルスの最初の発生においてインバータINV16の入力に供給される。その後クロック信号Φ2が高くなると通過ゲートPG1およびPG5が閉じられ、インバータINV17を介して出力端子AOにシフトされる。この信号はまたフィードバックインバータINV18および通過ゲートPG3を通してインバータINV16に再び供給される。インバータINV16およびINV18の出力キャッシュタンス(図示せず)が高いために、そこで信号のラッピングが行われる。その代わりに、左へのシフト動作(RB-0, LB-1)に対しては、供給信号は内側に処理されるが、前記のように入力端子はその場合にはB1であり、出力端子はBOである。

各出力端子IN1、IN2、IN3におけるそれと同じ名前の出力端子IN1、IN2、IN3の端子は端子A1またはB1に供給された初期信号DATA LC/RまたはDARARC/R(右へのシフトまたは左へのシフト)および以下説明す

BEST AVAILABLE COPY

1968年6月-50195(13)

る次の図は月に依存する。すなわち、端子E Bへ供給される非エニーブル ENC/R(第1図)、端子SBへ供給される選択SEL/R(第1図)、端子FBへ供給される周波数FRQC/R(第1図)である。

非エニーブル ENC/R が論理レベル1にある時は通過ゲートPG6は閉じられ、A1とAOまたはB1とBO間に伝送された並列負信号はまたPG6の出力に現われる。しかしながら、これらの信号は同時にFBおよびSBによって有効と認められず、したがって出力端子IN1~3に有効な出力信号を発生しない。また、非エニーブル ENC/R は論理レベル1にあるから、INV19の出力は0であり、それ故AND1の出力、したがってまたAND1およびAND2の出力も0である。

非エニーブル ENC/R の立ち下がり端部においては、通過ゲートPG6は開き、通過ゲートPG7は閉じており、PG6の出力における最後の負信号はインバータINV20およびINV21お

のみ依存する。

ENC/R、SELC/R、FREQC/RおよびDATAの因式における信号IN1、IN2およびIN3の値は次の表に示されている。

Ecr	Ser	Data	IN1	IN2	IN3
1	X	X	0	0	0
0	1	1	0	0	0
0	0	0	Fcr	Fcr	1
0	0	1	Fcr	Fcr	1
0	1	0	Fcr	Fcr	1

ここで、Ecrは信号ENC/R、Serは信号SELC/R、DataはDATAの略号であり、FcrおよびFcrはそれぞれFREQC/RおよびFREQC/Rの略号であり、Xは注意する必要なことを示している。

前記表に示された他の意味は第10図を参照した高電圧装置HVDの次の説明により明確になるであろう。この高電圧装置HVDは第4図に示された座標表示FPDRの30回の高電圧装置HVD1~30のいずれか一つを示している。それはそれ

より通過ゲートPG7よりなる回路中にこれらのインバータの高い出力キャッシュ(図示せず)によってラッチされる。この場合には出力端子IN3は、端子SBにおける選択信号SEL/C/RおよびINV20およびINV21中にラッチされた情報信号が共に論理置1であるときのみ0である。

選択信号SEL/C/Rおよび負信号の他の端子に対して信号IN1およびIN2は次のブーリアン因式によって表わされる。

$$\begin{aligned} \text{IN } 1 &= \text{IN } 3 (\text{DATA}, \text{FRQC}/R \\ &\quad + \text{DATA}, \text{FRQC}/R) \\ \text{IN } 2 &= \text{IN } 3 (\text{DATA}, \text{FRQC}/R \\ &\quad + \text{DATA}, \text{FRQC}/R) \end{aligned}$$

ここで、DATAは負信号DATA/LC/RまたはDATA/RC/Rのいずれか一方である。括弧として端子IN1およびIN2はIN3が0であるときと共に0である。その代わりにIN3が1であるとき、信号IN1およびIN2は上記端子DATAおよびFRQC/Rおよび各因式に

それ自身装置LDの同じ名前の出力端子に接続された入力端子IN1、IN2、IN3および電源端子VDD、+V1、-V2、+V3および接地端子0Vを有している。HVDはまた表示装置LCDのストライプ(行および列)の同じ名前の端子に接続された出力端子OUTを有する。端子+V1、-V2、+V3に供給される電圧は、端子OUTに接続されたストライプ(行および列)の種類および前述のようにそのストライプ上で行われるべき動作に依存して+150ボルト、-150ボルトおよび+170ボルトまたは+30ボルト、-30ボルトおよび+50ボルトである。HVDに接続されたストライプはその各箇所LCDEによって第10図中に示され、それはHVD端子OUTと接地0Vの間の抵抗R3および抵抗R4とキャッシュC1の並列接続の直列接続によって構成されている。

高電圧装置HVDは3回の回路HV1、HV2、HV3よりなり、その中HV1とHV2は同一である。それ故、HV1およびHV3についてのみ

以下説明する。

回路HV1は入力端子T1および別の端子T1'、T2'、T3'、T4'を経ていている。この回路HVは高電圧PNPトランジスタP1を有し、そのベース電圧は抵抗RSとR6の接続点に接続され、それらの抵抗は端子VDDと入力端子T1'の間に接続されている。トランジスタP1のエミッタ電圧は直圧VDDに接続され、そのコレクタ電圧は高電圧NMOSトランジスタNM1のゲート電圧に接続されると共に抵抗R7を介して端子T1に接続されている。さらに、トランジスタNM3のソース電圧は直接電源端子-V2に接続され、一方そのドレイン電圧は抵抗R8を介して端子T2に接続されると共に第2の高電圧NMOS出力トランジスタNM4のゲート電圧に接続されている。このトランジスタNM4のドレイン電圧は直圧端子T3に接続され、一方そのソース電圧は端子T4に接続されている。回路HV1に対して、入力端子T1はHVDの入力端子IN1に接続され、端子T3は回路端子+V1に接続され、端子T4

はHVDの出力端子OUTに接続されている。一方回路HV2の入力端子T1'はHVDの入力端子IN2に接続され、端子T3'および端子T4'はそれぞれHVDの出力端子OUT'および高電圧端子-V2に接続されている。さらに、2つの回路HV1およびHV2の端子T1'およびT2'は以下のように回路HV3の同じ名前の端子T1'およびT2'に接続されている。

回路HV3はHVDの同じ名前の端子に対応する入力端子IN3を有している。回路HV3はNMOSトランジスタNMSを経え、そのゲート電圧は直圧端子IN3に接続され、そのソース電圧は端子0Vに、そのドレインは抵抗R9を介して高電圧PNPトランジスタP2のベース電圧に接続されている。トランジスタP2のエミッタ電圧は端子+V3に接続されると共にバイアス抵抗R10を介して自分のベース電圧に接続されている。トランジスタP2のコレクタ電圧は高電圧NMOSトランジスタNM6に接続されると共に端子T2に接続されている。トランジスタNM6のソ

ース電圧は端子-V2に接続され、一方端子T1'はクランプダイオードD3を介してNM6のドレイン電圧に接続されている。端子+V1はまた抵抗R11を介してトランジスタNM6のドレイン電圧とダイオードD3のカソードと1対の高電圧NMOS出力トランジスタNM7およびNM8の接続点に接続され、それらのトランジスタNM7およびNM8のソース電圧は互いに接続されている。出力トランジスタNM7のドレイン電圧は端子0Vに接続され、出力トランジスタNM8のドレイン電圧は端子OUTに接続されている。

高電圧端子HVDの作用について以下説明する。前述のようにこの装置の目的は、端子OUTが接続されるストライプ(行および列)の種類に応じて、また所要の段階(段丘またはクリア)においてCSC, CC, CNC, RSC, RNSCまたはSTROBEのような信号をその出力端子OUTに出力することである。端子+V1および-V2は回路HV1およびHV2の出力トランジスタNM4を介して端子OUTに供給され、一方端子

端子0Vは以下説明するように出力トランジスタ対NM7およびNM8を介してこの出力端子OUTに供給されることができる。出力端子OUTに供給されなければならない高電圧端子の選択は入力端子IN1～IN3に供給された論理値を生じる。もちろんこれらの高電圧端子の選択的な切换は避けなければならない。例えば各回路HV1およびHV2の2個の出力トランジスタNM4は決して両方が導通状態であつてはならない。そうでなければ正圧+V1と-V2が短絡される。同じことは出力トランジスタ対NM7およびNM8の上記出力トランジスタNM4との組合せに対しても言えることである。そのような切换を避けるために回路HV1～HV3は出力トランジスタNM4:NM7およびNM8をそれらが導通状態にされるより早く用止するように設計されている。このようにするために、高電圧端子HVDの出力トランジスタNM4:NM7およびNM8は高いゲートキャパシタンス(図示せず)を有し、それらを導通状態にするためにそれらのゲート電圧が高い正

- R8 : R11 (R8 = R11 = 40メガオーム) を介してそれぞれ電源端子 +V3 : +V1 には供給されている。さらに説明すれば、これらの各MOSトランジスタは偏置する高い抵抗を介して正電圧の方向にその高いゲートキャパシタンスを充電することによってゆっくりと導通状態にされる。反対に、これらの各トランジスタ NM4 : NM7 および NM8 の偏置はそれらのゲート電圧がそのとき導通状態になるトランジスタ NM3 : NM6 のドレイン・ソース端子を介して電源端子 -V2 に接続されることによってずつと迅速に行われる。

出力端子 OUT における電圧によって示され、それぞれ入力端子 IN1 ~ IN3 に供給された論理組合せは々の組合せに対応する電源電圧端子の3通りの可能な状態は以下詳しく解説される。最初の二つの状態においては、論理組合 1 が入力端子 IN3 に供給され、論理組合 0 および 0 が入力端子 IN1 / 2 および IN2 / 1 にそれぞれ供給される。第3の状態においては、入力端子 IN3 における論理組合は 0 であり、したがってまた入力端子 IN

出力は前記のように第2図および第3図に示されるように CSC, CC, CNC, RSC, RNS C または STROBE のような信号の 1 サイクルに対応する。

前記電源電圧端子 HV0 の最初の二つの状態は常に入力端子 IN3 に供給された論理組合 1 および入力端子 IN1 および IN2 にそれぞれ供給された論理組合 0 に対応する。入力端子 IN1 における論理組合 1 および入力端子 IN2 における論理組合 0 は出力端子 OUT に供給されるべき電圧 +V1 を生じ、一方、入力端子 IN1 および IN2 にそれぞれ供給された論理組合 0 および 1 は出力端子 OUT に供給されるべき電圧 -V2 を生じさせる。これらの入力端子の二組合せは各自 HV1 と HV2 が同一であることによつて対応である。それ故、それらの一方だけ、すなわち IN1 に 1 および IN2 に 0 の場合だけについて以下説明する。

電源電圧 VDD, すなわち +12ボルトに対応する論理組合 1 が入力端子 IN3 に供給されるから、

1 がより IN2 6 0 である。

全ての入力端子 IN1 ~ IN3 における論理組合は各自 HV1 および HV2 の出力トランジスタ NM4 を偏置状態にし、出力トランジスタ NM7 および NM8 を導通状態にし、それ故接地電圧 0 V がそのとき出力端子 OUT に供給される。一方入力端子 IN1 または IN2 の一方に供給される論理組合 1 は対応する出力トランジスタ NM7 の動作を生じさせる。これらの状態においては入力端子 IN3 に効率のように論理組合 1 でなければならぬから、出力トランジスタ NM7 および NM8 は偏置され、それ故接地電圧が出力端子 OUT から遮断される。その結果、前記動作している出力トランジスタ NM4 が接続されている同じ名称の電源端子からの電源電圧 +V1 または -V2 が出力端子 OUT に供給される。各入力端子 IN1, IN2, IN3 における組合せ論理組合 1, 0, 1 および 0, 1, 1 よりなるシナリオが各自電源端子 HV0 の出力端子 OUT にそれぞれ導通した +V1 および -V2 を出力する。この連続した

回路 HV3 のトランジスタ NM5 は導通状態になり、それ故トランジスタ P2 もまた導通状態になる。その結果正電圧 +V3 が導通したトランジスタ P2 のエミッタ・コレクタ路を通ってトランジスタ NM6 のゲート電圧および端子 T2 に供給され、そのためトランジスタ NM6 もまた導通状態になる。その後、負電圧 -V2 がダイオード D3 および導通しているトランジスタ NM6 のドレン・ソース端子を介して端子 T1 に供給され、この電圧 -V2 はまた出力トランジスタ NM7 および NM8 のゲート電圧にもそれらを偏置するために供給される。

トランジスタ NM7 および NM8 は DMOS トランジスタであるから、再生ダイオード（二示せず）がそれらのソース端子およびドレン端子間に形成され、このダイオードはこれらのトランジスタの導通に因るものである。このような再生ダイオードはそのカソード電圧が DMOS トランジスタのドレン端子に接続され、一万ダイオードのアノード電圧はトランジスタのソース端子に接続

されている。+ 150ボルトまでの正電圧または- 150ボルトまでの負電圧のいずれかが回路HV1 およびHV2 によって出力端子OUTに供給されるから、これらの電圧はまたトランジスタNM8 のドレイン端子にも現われる。それはこの端子が端子OUTに接続されているからである。出力トランジスタ対NM7 およびNM8 の代わりにトランジスタNM8だけについて考えると、例えばトランジスタNM8 のソース端子を接地端子0Vと接続することによって、このトランジスタNM8 のドレイン端子における電圧（例えば- 150ボルト）はそのときこのトランジスタNM8 の導通している発生ダイオードを介して接地されるであろう。このことから、トランジスタ対NM7 およびNM8 は、電圧がそれらを阻止するためにこのトランジスタ対NM7 およびNM8 のゲート端子に供給されるととき、接地端子0Vから出力端子OUTを実質的に遮断するように逆方向並列に結合されなければならない。

回路HV2においては、トランジスタP1は入

ていた電源端子VDDから遮断される。トランジスタNM3は長いゲートキャバシタンスを有しているから、そのキャバシタンスはこのトランジスタNM3が阻止されるまでは底坑R7を遮って電圧-V2にゆっくりと放電される。その時、出力トランジスタNM4のゲート端子は電源端子-V2から遮断され、このトランジスタNM4の長いゲートキャバシタンスはトランジスタP2のエミッタ・コレクタ端子、端子T2、および底坑R8を遮ってそれに供給された正電圧+V3にゆっくりと充電される。少し後には回路HV1のNMOSトランジスタNM4は導通状態になり、正電圧+V1をそのドレイン・ソース路を介して出力端子OUTに供給する。+V1+V3は常に約20ボルト増加された電圧+V1に近く、そのため導通している回路HV1のトランジスタNM1のゲート端子は常にそのソース端子における電圧+V1よりも高く、そのためトランジスタNM1は導通状態のままである。

正電圧端子HV0の第3の状態において、すな

わば端子IN2に供給されている負電圧0によつて遮断する。電源端子VDDはしたがつて遮断しているトランジスタP1のエミッタコレクタ端子を遮ってトランジスタNM3のゲート端子に遮断される。トランジスタNM3のソース端子はトランジスタP2のエミッタ・コレクタ端子を遮って端子V3に接続されているから、端子T2および底坑R8、トランジスタNM3は遮断状態になる。それから電圧-V2が遮断しているトランジスタ対NM3のドレイン・ソース路を介して回路HV2の出力トランジスタNM4のゲート端子に遮断される。その結果、回路HV2の出力トランジスタNM4は直ちに阻止され、したがつて出力端子OUTからの電源端子-V2でもある端子T4を遮断する。

入力端子IN1は端子T1、すなはち+12ボルトであるから、回路HV1のトランジスタP1は阻止され、したがつて、回路HV1のNMOSトランジスタNM3のゲート端子は、前にトランジスタP1のエミッタコレクタ端子を介して接続され

わら3回の入力端子IN1~IN3が全て論理端子0を有するとき、回路HV3のトランジスタNM5は阻止され、それによつて電圧が底坑R9およびR10を遮って漏れるのが阻止され、そのためトランジスタP2は阻止されている。その結果およびトランジスタNM6もまた長いゲートキャバシタンスを有するためにトランジスタP2を介して電源端子+V3に前に接続されていたこのトランジスタNM6のゲート端子における電圧はゆっくりと減少する。トランジスタNM6が阻止される前に端子T1がダイオードD3およびトランジスタNM6のドレイン・ソース路の並列接続を遮って端子-V2に接続され、一方、トランジスタNM6のゲートキャバシタンスの前の元気のために正電圧+V3が端子T2に帰られる。

両回路HV1およびHV2において、それらのは端子T1における0ボルトはトランジスタP1を遮断させ、そのためトランジスタNM3のゲート端子はトランジスタP1のエミッタ・コレクタ端子を介して正電圧VDDにされる。その結果、ト

BEST AVAILABLE COPY

トランジスタ NM1 は立ちに通じ、そのドレンイン・ソース端子を経て出力トランジスタ NM1 のゲート電圧に負電圧 -V2 を出力する。それ故出力トランジスタ NM4 は立ちに阻止状態になる。HV1 または HV2 のいずれかのトランジスタ NM1 のドレイン・ソース端子を経て出力端子 OUT に供給されていた前の電圧 +V1 または -V2 はそのときこの出力端子 OUT から遮断される。さらに、電圧 -V2 はまたトランジスタ NM6 のドレイン・ソース端子を経て出力 MOSトランジスタ NM7, NM8 のゲート電圧に供給される。この電圧 (-V2) は NM7, NM8 を阻止し、これらのトランジスタに遮断し、逆方向直列に結合された前記主三ダイオードは出力端子 OUT と接続端子 0 V の間にいずれの方向にも電流が流れることを阻止する。

このとき、出力端子 OUT は電圧端子 +V1, -V2 および接続端子 0 V のいずれからも遮断される。トランジスタ NM6 のゲート電圧は阻止されたトランジスタ P2 によって端子 +V3 から遮

ニッキングダイオード D3 により負電圧 HV1 および HV2 のトランジスタ P1 は阻止される。さらに、トランジスタ P2 が阻止されているため、端子 T2 もまたその電圧端子 +V3 から遮断されており、電流は負電圧 HV1 および HV2 のトランジスタ NM3 を経て流れず、一方トランジスタ NM4 は阻止されたままである。この状態においてはトランジスタ中の電流電流を抜いては肯定して遮断される電流は負電圧 HV1 および HV2 の抵抗 R5 および R6 を経て電圧端子 VDD から入力端子 IN1 および IN2 に流れれる電流だけである。それ故、停止時、すなわち IN1 - IN2 - IN3 - 0 であるとき負電圧端子 HV0 中で供給される電力は最小には少され、但は電圧 0 V が出力端子 OUT に供給される。

前記のように対応するライセンストライプ(例まだら行)に供給された全てのは月: CSC, RS C, RNSC (ピーク対ピーク 300ボルト, 50 Hz); CC, CNC, (ピーク対ピーク 50ボルト, 1.5 kHz) および STROBE (ピーク

消滅 51- 50195 (17)

面されているから、このゲート電圧における電圧はトランジスタ NM6 が阻止されるまではまくらと叫ばれる。端子 -V2 から電流されて逆上されたトランジスタ NM6 のドレイン電圧における電圧は抵抗 R11 を介して出力トランジスタ NM7, NM8 のゲートキャッシュの元電圧によりまくらと叫ばれる。この電圧はブロッキングダイオード D3 のためには端子 T1 に供給されない。そのとき出力端子 OUT は接続端子 0 V に接続されている。次に、もしも正電圧 +V1 が端子 OUT に供給されていたならば、後者はトランジスタ NM7 の動作している寄生ダイオードと並列の前述状態のトランジスタ NM8 のドレイン・ソース端子を経て接続端子 0 V に接続される。反対に、もしも負電圧 -V2 が端子 OUT に端子 OUT に供給されていたならば、後者はトランジスタ NM8 の寄生ダイオードと並列のトランジスタ NM7 のドレイン・ソース端子を経て接続端子 0 V に接続される。

前記電圧端子から端子 T1 を立派するため、ア

ンピーチ 300ボルト, 1.5 kHz) は反応電圧 FPDR の出力端子 OUT によりそれに供給される。出力端子 OUT における電圧 +150 ボルト, +30 ボルトおよび -150 ボルト, -30 ボルトは追跡装置 FPDR の各電圧端子 HV0 のそれぞれの電圧端子 +V1 および -V2 によって供給される。これらの電圧は偏置装置 LD の出力端子 IN1 ~ IN3 を介してそれに供給された同じ名前の入力端子 IN1 ~ IN3 における信号の電圧端子 IN1 ~ IN3 の範囲下に各 HV0 の出力端子 OUT に供給される。これらの電圧端子 IN1 ~ IN3 は、対応する非エネーブル信号 ENC または ENR が低レベルであるとき偏置装置 LD 中のインバータ IN20 および IN21 によりラッチされた周波数端子 FREQC または FREQR、辺沿い端子 SELC または SELR および直列端子月 DAT ALG/R または DATAARC/R によりそれら自身を制御される。

表示装置 LCD の動作は次の表にまとめられている。

Sr	Dr	Sc	Dc	動作	命令
0	0	0	1	反応	PSC
0	1	0	1	非反応	PNSC
1	0	0	0	不使用	PNCL
1	0	0	1	選択	PCL
1	1	0	0	行先アドレス	CNC
1	1	0	1	行先アドレス	CC
0	X	0	0	不使用	-
X	X	1	X	不使用	-

ここで、DrはDATA LRまたはDATARのいずれかであり、DcはDATA LCまたはDATARCのいずれかであり、SrはSEL SまたはSEL Cである。ScはSEL RCである。Xは注釈する必要がないことを意味している。前記の表において非エネーブル信号ENCおよびENRは論理0にあり、50Hzおよび1.5kHzの適当な周波数信号FREQC/Rがそれぞれ反応およびクリアのために使用されるとする。さらに、適当な電源電圧が蓄電圧表示HVDの電源端子+V1、-V2および+V3に供給されることを明白である。

の接着における信号は対応する別における負担信号DATA Cの反応におけるCNCまたはCCである。は月の別の可能な組合せはこの実装例では使用されない。また、反応またはクリアのような付勢動作は、負担信号DATA Cとしてリストライプに供給された論理1と共に負担信号DATARとして論理0が行ストライプに供給されるとときのみ行われる。

以上、この発明の原理を特定の装置と図示して説明して示したが、この説明は單なる表示に過ぎないものであつて、特許請求の範囲に記載された発明の技術的範囲を固定するものではないことを明確に理解すべきである。

4. 図面の簡単な説明

第1図は、この発明の1次施設の波紋図の電気回路FPDRを含めたマトリックス装置またはフラットパネル型表示装置FPDの構成図であり、第2図および第3図はそれらの電気回路FPDRにより発生される波形およびそれらの波形から生成した波形を示している。第4図は運動装置F

この点から、本發明が、リストライプ信号をDATA Cとして供給された論理1およびSEL CおよびSEL Rの2つに対する負担信号として使用された場合は何の結果生じることがわかる。放送動作は完全な表示に対してよろしくは沼沢された行だけに対して行われるから、反応されるべき行は初期はDATA LRとして論理0を打ち、一方反応されるべきでない行は負担は月しATARとして論理1をもつ。対応する結果におけるその結果生じる波形はそれぞれPSCおよびPNSCである。

クリア動作に対しては、行選択信号SEL Rは常に論理1であり、一方、別途選択信号SEL Cは0のままである。クリアは一時に1行行われ、沼沢された行は論理1の負担信号DATARを有し、確保する列はそれぞれ検索のクリアセレクタPNCLまたはクリアPCLに対応して0または1のいずれかである。残りの行、すなわちアドレスされなかつた行は負担は月として論理1を受けれる。前記のようにこれらの行(アドレスされない)

PDRの構成図であり、第5図は第4図の装置中の方向制御回路RLCを示し、第6図は第4図の装置中のクロック回路CKCのブロック図を示し、第7図はクロック回路CKCにより発生された信号波形を示し、第8図は第4図の装置中のインターフェイス回路ICを示し、第9図は第4図の装置中の論理装置LDを詳細に示し、第10図は第4図の装置中の蓄電圧表示HVDを詳細に示す。

LCD…液晶表示装置、FPDR…運動装置、HVD…蓄電圧表示、RLC…方向制御回路、CKC…クロック回路、IC…インターフェイス回路、LD…論理装置。

出願人代理人 井原士 銀江式及

図面の記述(内容に変更なし)

Fig.1.

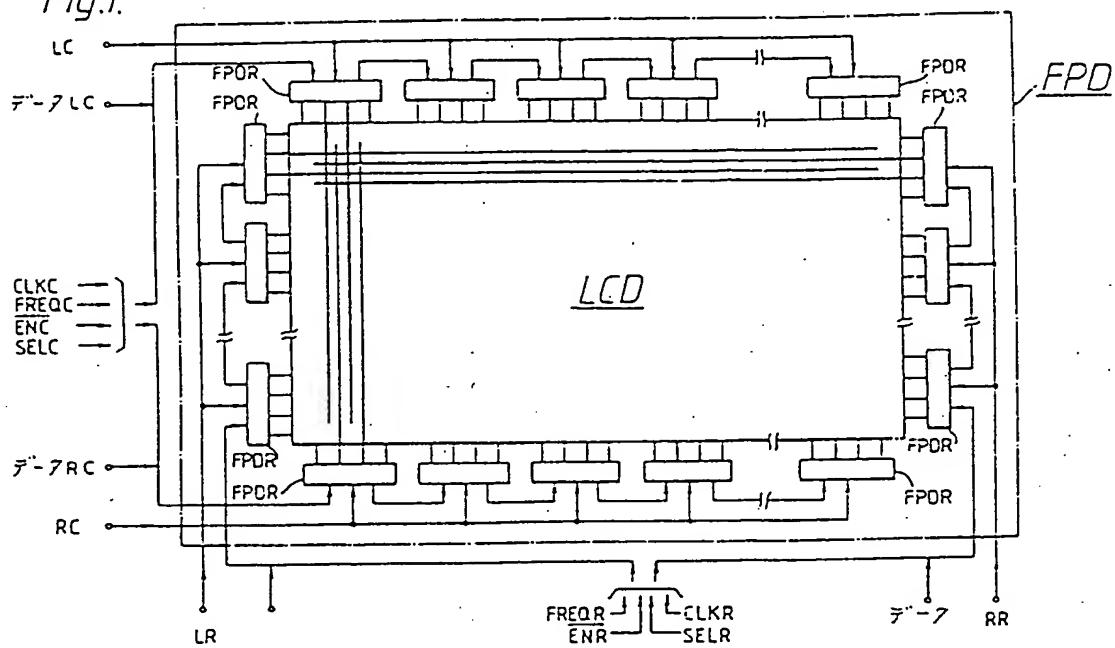


Fig.2.

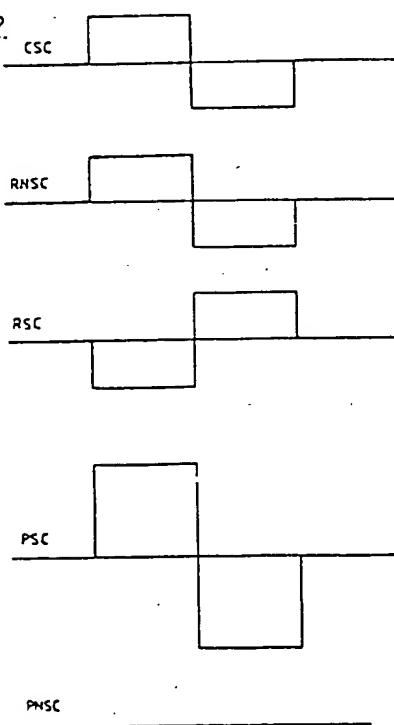
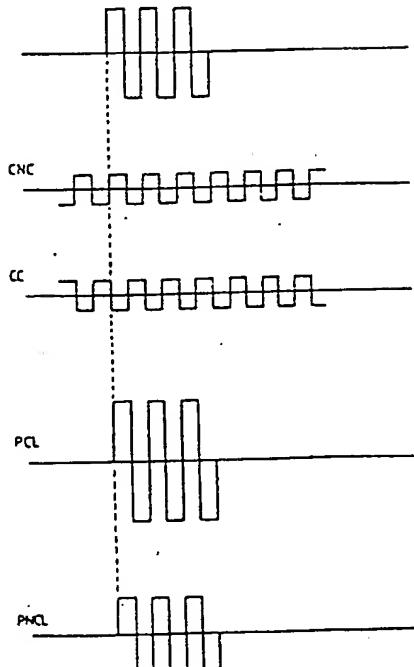
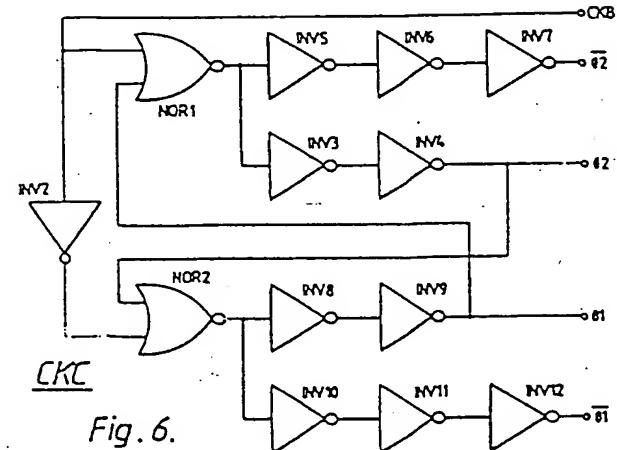
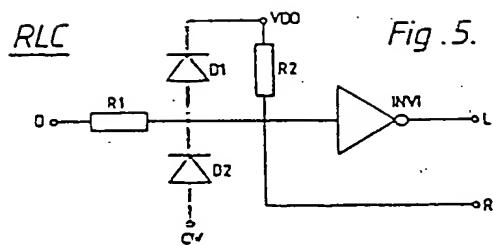
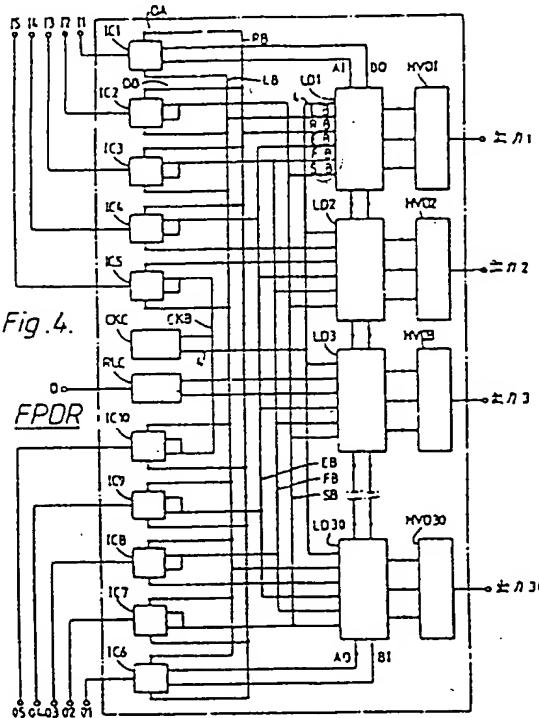


Fig.3.





BEST AVAILABLE COPY

Fig.7.

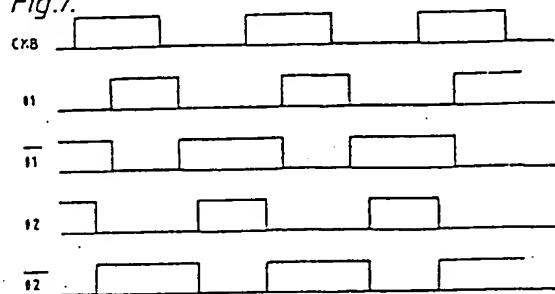


Fig.8.

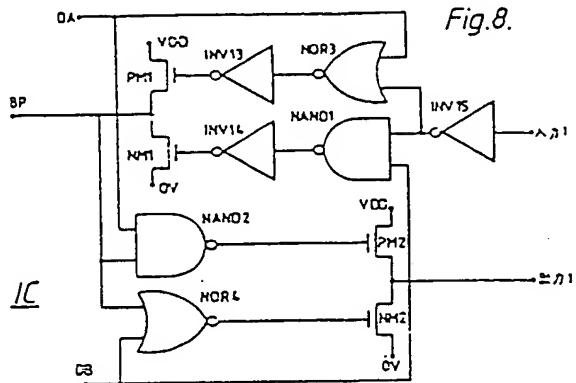
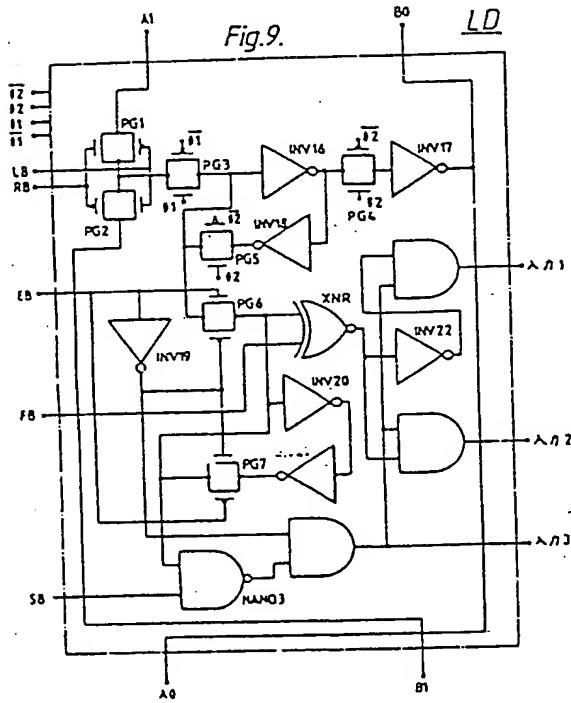
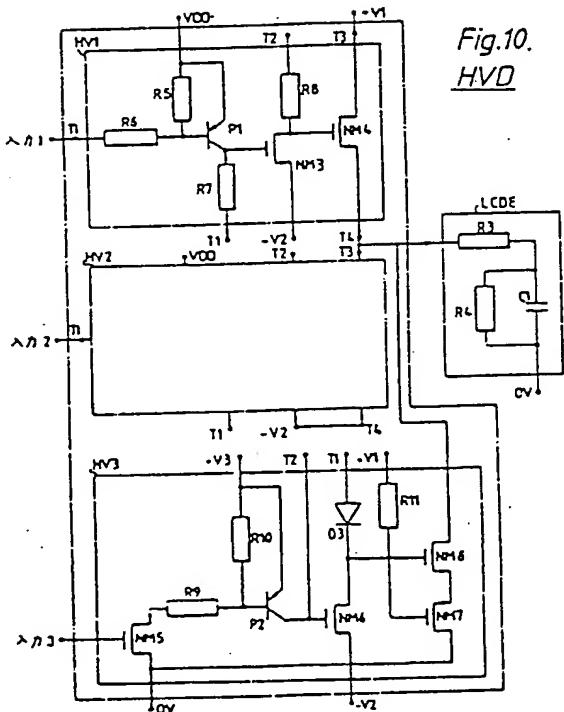


Fig.9.

Fig.10.
HVD

手 続 類 正 備 (方式)
60.9.18

特許庁長官 宇 沢 重 駿

1. 事件の表示

特願昭60-117630号

2. 先明の名称

スイッチング回路およびそれを
使用するマトリックス装置

3. 著正をする者

事件との関係 等許出願人
インターナショナル・スタンダード・
エレクトリック・コーポレーション

4. 代理人

住所 東京都渋谷区渋谷ノ町1丁目26番5号 第17号ビル
〒105 電話 03(502)3131(大代表)

氏名 (S:7) 井林士鉢 江 武 彦



5. 著正命令の日付

昭和60年8月27日

6. 著正の対象

算式およびその訳文、図面

7. 著正の内容 別紙の通り

図面の争奪(内容に変更なし)

